

Docket No.: 67162-022

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

|                                  |   |                        |
|----------------------------------|---|------------------------|
| In re Application of             | : | Customer Number: 20277 |
|                                  | : |                        |
| Hidemoto TOMITA, et al.          | : | Confirmation Number:   |
|                                  | : |                        |
| Serial No.:                      | : | Group Art Unit:        |
|                                  | : |                        |
| Filed: September 26, 2003        | : | Examiner: Unknown      |
|                                  | : |                        |
| For: SEMICONDUCTOR MEMORY DEVICE | : |                        |

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

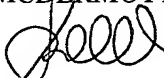
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

**Japanese Patent Application No. 2002-314307, filed October 29, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: September 26, 2003**

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

67162-022  
TOMITA 24  
September 18, 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月29日

出 願 番 号

Application Number:

特願2002-314307

[ ST.10/C ]:

[ JP2002-314307 ]

出 願 人

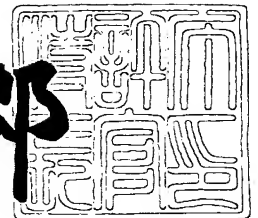
Applicant(s):

三菱電機株式会社

2002年11月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3093484

【書類名】 特許願

【整理番号】 542941JP01

【提出日】 平成14年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/40

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 富田 英幹

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 小久保 信幸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 細金 明

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号生成回路

【特許請求の範囲】

【請求項 1】 ビット線上に現れる電圧を増幅するセンスアンプを活性化するセンスアンプ活性化信号を生成する回路であって、

外部クロックから生成された内部クロックを所定時間遅延させる遅延回路と、  
内部クロックと、遅延回路からの出力信号とを論理積演算することによりセンスアンプ活性化信号を生成する論理積回路と  
を有したことを特徴とする信号生成回路。

【請求項 2】 前記所定時間は 0. 2 ナノ秒から 0. 3 ナノ秒の範囲内の時間であることを特徴とする請求項 1 記載の信号生成回路。

【請求項 3】 ビット線上に現れる電圧を増幅するセンスアンプを活性化するセンスアンプ活性化信号を生成する回路であって、

外部クロックから生成された内部クロックを第 1 の所定時間だけ遅延させる第 1 の遅延回路と、

外部クロックから生成された内部クロックを第 2 の所定時間だけ遅延させる第 2 の遅延回路と、

第 1 の遅延回路からの出力信号と第 2 の遅延回路からの出力信号とを論理積演算することによりセンスアンプ活性化信号を生成する論理積回路と  
を有したことを特徴とする信号生成回路。

【請求項 4】 前記第 1 の所定時間と前記第 2 の所定時間の差は、0. 2 ナノ秒から 0. 3 ナノ秒の範囲内にあることを特徴とする請求項 3 記載の信号生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は外部クロックに同期して読出し／書込み動作する半導体記憶装置において、ビット線上に現れる電圧を増幅するセンスアンプを活性化するための信号を生成する信号生成回路に関する。

## 【 0 0 0 2 】

## 【従来の技術】

従来より半導体メモリとして、外部から入力したクロック（以下「外部クロック」という。）に同期して読出し／書込み動作する同期型 S R A M がある。同期型 S R A M において、外部クロック入力後にメモリセルが選択されると、そのメモリセルのデータ値に対応した電圧がビット線に出力される。ビット線に現れる電圧は微小電圧であるためセンスアンプにより増幅された後、データバスに出力される。

## 【 0 0 0 3 】

メモリセル選択後、ビット線には時間経過とともにデータに応じた電圧が徐々に現れる。このため、メモリセル選択直後にセンスアンプを動作させると、ビット線に十分な電圧が現れてないまま、センスアンプが誤ったデータを出力してしまう場合がある。このため、メモリセルが選択され一定時間経過し、十分にビット線電圧が変化してからセンスアンプを動作させる必要がある。

## 【 0 0 0 4 】

そこで、センスアンプを活性化するセンスアンプ活性化信号は、外部クロックに基いて作成された内部クロックを所定時間遅延させて作成する。

## 【 0 0 0 5 】

また、同期型 S R A M においては、内部クロックが「H i g h」の期間においてメモリセルが選択され、読出し／書き込み動作が行なわれ、内部クロックの「L o w」の期間においてメモリセル、ビット線、データ線等を初期化し、次のサイクルの準備をする。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

前述の様に十分なビット線電圧を得るためにセンスアンプの動作開始タイミングを遅延させると（すなわち、センスアンプ活性化信号を作成する際の内部クロックの遅延量を増加させると）、それに連動してセンスアンプの動作終了時刻も遅れてしまい、次のサイクルのための初期化を行なう期間が短くなってしまう。その結果、十分な初期化が行なえず、動作上の不具合を生じるおそれが生じる。

【 0 0 0 7 】

今後益々、半導体記憶装置の高速化に伴いクロック周波数が高くなると、メモリセル、ビット線、データ線等を初期化する期間はさらに短くなるため、上記の問題はより深刻なものとなる。

【 0 0 0 8 】

本発明は上記課題を解決すべくなされたものであり、その目的とするところは、高速クロックを用いた場合でも十分な初期化期間の確保を可能とし、誤読出しを防止する、センスアンプの活性化信号の生成回路を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明に係る信号生成回路は、ビット線上に現れる電圧を増幅するセンスアンプを活性化するセンスアンプ活性化信号を生成する回路であって、外部クロックから生成された内部クロックを所定時間遅延させる遅延回路と、内部クロックと遅延回路からの出力信号とを論理積演算することによりセンスアンプ活性化信号を生成する論理積回路とを有する。また、本発明に係る半導体記憶装置は上記の信号生成回路を備える。

【 0 0 1 0 】

【発明の実施の形態】

以下添付の図面を参照して本発明に係る信号生成回路の実施の形態を詳細に説明する。

【 0 0 1 1 】

実施の形態 1.

以下に説明する本発明に係る半導体メモリは外部クロックに同期してデータの読出し、書込みを行なう半導体記憶装置であって、例えば同期 S R A M に適用できる。

【 0 0 1 2 】

図 1 は、本発明に係る、半導体メモリに使用される信号生成回路（「S E 信号生成回路」という。）の構成を示した図である。S E 信号生成回路 2 1 は、半導体メモリ中のデータ読出し動作時においてビット線上に現れる微小電圧を増幅す

るセンスアンプを活性化するための信号（以下「SE信号」という。）を生成する回路である。SE信号生成回路21は、外部クロックを遅延して生成される内部クロックを所定時間だけ遅延させる遅延回路23と、内部クロック信号と遅延回路23により遅延されたクロック信号とのAND（論理積）演算を行なうNANDゲート25及びインバータ27とを備える。SE信号生成回路21はAND演算結果をSE信号として出力する。

## 【0013】

図2は上記のSE信号生成回路21を利用した半導体メモリの構成を示した図である。半導体メモリは、入力された読出し／書込みアドレスを格納するアドレスレジスタ11、入力されたアドレスをデコードするデコーダ13、データを記憶する複数のメモリセルからなるメモリセルアレイ15、各メモリセルに接続するビット線上の微小電圧を増幅するセンスアンプ17及び読出したデータが現れるリードデータバス19を含む。

## 【0014】

図3はメモリセルアレイ15の構造を示した図である。メモリセルアレイ15は、データを保持する複数のメモリセルMCを有し、各メモリセルMCにはビット線対bit、bit#と、ワード線WL1、WL2が接続されている。なお、以降の説明において、信号線名または信号名の最後の「#」の記号はデータ値の反転またはアクティブ・ローを意味する。例えば、ビット線bit#上にはビット線bit上に現れるデータを反転した論理のデータ値が現れる。

## 【0015】

図4は、図2におけるブロック10部分の構成をより詳細に示した図である。

メモリセルアレイ15中のメモリセルMCに接続されたビット線bit、bit#には、ビット線初期化回路31と、トランスファージェート33とが接続される。

## 【0016】

ビット線bit、bit#はトランスファージェート33を介してIO線対IO、IO#に接続される。IO線対IO、IO#はセンスアンプ17を介してリードデータバス19a、19bに接続される。

## 【0017】



ビット線初期化回路 3 1 はデータ読出し動作前にビット線 bit、bit# を初期化（ビット線電圧を VDD（例えば 1.8 V）にする）するための回路であって、ビット線初期化信号 # によって活性化される。

#### 【0018】

トランスファークラップ回路 3 3 はビット線の電圧を I/O 線 I0、I0# への伝達を制御し、ゲートオープン信号 # により制御される。

#### 【0019】

I/O 線初期化回路 3 5 は I/O 線 I0、I0# を初期化するための回路であり、I/O 線初期化信号 # により活性化される。なお、I/O 線初期化信号 # はワード線が選択されたときに立ち上がり、その立下りタイミングは、外部クロックとセンスアンプ活性化信号との OR 演算することにより与えられる。

#### 【0020】

センスアンプ 1 7 は、I/O 線 I0、I0# を介して伝達されたメモリセル MC に保持されているデータ値に対応するビット線の微小電圧を増幅する。センスアンプ 1 7 は前述のようにセンスアンプ活性化信号（SE 信号）により活性化される。センスアンプ 1 7 で増幅された電圧はリードデータバス 1 9 a、1 9 b 上に伝達され、データ値として読み出される。

#### 【0021】

以上のように構成される半導体メモリの動作を説明する。

まず、図 1 に示す SE 信号生成回路 2 1 の動作を図 5 を用いて説明する。図 5（a）に SE 信号生成回路 2 1 に入力する内部クロック X の信号波形を示し、図 5（b）に遅延回路 2 3 の出力すなわち内部クロック X を所定時間  $t_1$  だけ遅延させた信号 A の波形を示し、図 5（c）に SE 信号生成回路 2 1 の出力信号 SE の波形を示している。同図に示すように、SE 信号生成回路 2 1 は、内部クロック X とそれを遅延させた信号 A とから、内部クロック X の立下りタイミングは変更せずに、内部クロック X の立上がりタイミングのみを時間  $t_1$  だけ遅延させた信号 SE を生成している。なお、内部クロックの周期を T としたとき、 $(T - t_1)$  だけ遅延させることにより、内部クロック X の立上りタイミングは変更せずに、内部クロック X の立下りタイミングのみを時間  $t_1$  だけ進めた信号を生成す

ることも可能である。また、所定時間 $t_1$ は、後述するようにワード線を選択からセンスアンプ17の活性化を開始するまでの十分な時間マージン（約1ナノ秒）を確保するために0.2～0.3ナノ秒の範囲内に定めるのが好ましい。

#### 【0022】

次に、図6を用いて半導体メモリの読出し時における動作を説明する。

図6（a）に示すように1つのワード線WL1が選択される（「High」になる）と、外部クロックから生成されたビット線初期化信号#が「High」になる。これにより、ビット線の初期化が解除され、その後、ビット線上にメモリセルに保持されているデータに応じた電圧が現れる。図6では、データを読み出そうとするワード線WL1に接続するメモリセルに保持されているデータは「High」であるとする。この場合、図6（c）に示すようにビット線bit#が徐々に「Low」になっていく。

#### 【0023】

読出し動作時においては、ビット線とIO線を接続するトランスファークロップ33は開いているため、ビット線の電圧振幅がIO線に直接伝達される。

#### 【0024】

ワード線WL1の選択とともにIO線初期化信号#が立上り、IO線の初期化が解除される。これにより、ビット線の電圧振幅がIO線に伝達される。IO線の振幅は微小であるため、センスアンプ17により増幅される。このため、センスアンプ17はセンスアンプ活性化信号SEにより活性化される。これにより、ビット線電圧がCMOSレベル（例えば1.8V）まで増幅され、リードデータバス19a、19bへデータが伝達される。

#### 【0025】

前述のようにIO線初期化信号#の立下りタイミングは外部クロックとセンスアンプ活性化信号とのOR演算をすることにより与えられるため、外部クロック（図6（e）参照）とセンスアンプ活性化信号（図6（h）参照）がともに「Low」になったときに、IO線初期化信号#は「Low」となり（図6（i）参照）、IO線の初期化が行なわれる。

#### 【0026】

ここで、センスアンプ 17 の動作開始タイミングに関し、ワード線 WL 1 の選択後、I O 線上に十分な電圧が現れた後にセンスアンプ 17 を動作させるのが好ましい。すなわち、時間の経過とともに徐々に大きくなる I O 線上の電圧  $V_D$  がセンスアンプ 17 が感知できる最低電圧値よりも大きい値になったときにセンスアンプ 17 を動作させるのが好ましい。なお、ビット線と I O 線とはほぼ同様の動作をするので、ビット線 bit とビット線 bit# の電圧差が十分大きくなったときに、センスアンプ 17 の動作を開始させると考えても良い。具体的には、ビット線 bit とビット線 bit# の電圧差または電圧  $V_D$  が 30 mV 以上、より好ましくは 50 mV 以上になったときにセンスアンプ 17 の動作を開始させるのが好ましい。

## 【 0 0 2 7 】

図 6 ( f ) に示すようなワード線 WL 1 が選択されてから最初に現れる内部クロックをセンスアンプ 17 を活性させる S E 信号として用いる場合、I O 線が十分な電圧まで上昇するための時間的なマージン ( WL - S E 期間 ) が十分に確保できないという問題がある。WL - S E 期間は約 1 ナノ秒以上が好ましい。

## 【 0 0 2 8 】

この場合、例えば、図 6 ( g ) に示すような、図 6 ( f ) に示す内部クロック信号を所定時間  $t_1$  ( 例えば 0.2 ~ 0.3 ナノ秒 ) だけ遅延させ、これを S E 信号として用いる方法が考えられる。しかし、この場合、立下りタイミングも同時に遅延されてしまうため、図 6 ( i ) の破線で示すように I O 線初期化信号 # の立下りタイミングが遅れ、初期化期間が期間  $t_2$  のようになくなってしまいう問題が生じる。

## 【 0 0 2 9 】

これに対して、本発明では、図 1 に示すような S E 信号生成回路 21 により内部クロックから S E 信号を生成するため、図 5 を用いて説明したように内部クロックと同じ立下りタイミングを保持したまま、立上りタイミングのみを遅延させた S E 信号を生成できるため、図 6 ( i ) の実線で示すように I O 線初期化信号 # の立下りタイミングが遅れることがない。これにより、図 6 ( h ) に示すように十分な WL - S E 期間を確保しつつ、かつ、図 6 ( i ) に示すように十分な初期化期間  $t_3$  を確保できる。

## 【 0 0 3 0 】

以上のように、本実施形態の S E 信号生成回路によれば、簡単な構成でセンスアンプの活性化信号の生成回路を実現し、また、高速なクロックを用いた場合でも十分な初期化期間の確保を可能とする、センスアンプの活性化信号の生成を可能とする。そして、このような S E 信号生成回路を用いることにより、高速クロックを用いた高速処理が可能な半導体記憶装置（例えば同期型 S R A M）が実現できる。

## 【 0 0 3 1 】

実施の形態 2.

センスアンプの活性化信号を生成する S E 信号生成回路の別の構成を図 7 に示す。本実施形態の S E 信号生成回路 2 1 b は、2 つの遅延回路 2 3 a、2 3 b と、それらの遅延回路 2 3 a、2 3 b のそれぞれの出力を A N D 演算する、N A N D ゲート 2 5 a 及びインバータ 2 7 a とを有する。

## 【 0 0 3 2 】

遅延回路 2 3 a、2 3 b は遅延素子であるインバータを複数個含む。含まれる遅延素子の数は遅延時間により定まる。遅延回路 2 3 a の遅延時間と遅延回路 2 3 b の遅延時間との差が、実施の形態 1 の遅延回路 2 3 の遅延時間  $t_1$  に相当する。

## 【 0 0 3 3 】

本実施形態の S E 信号生成回路 2 1 b は、実施の形態 1 のものと同様、十分な初期化期間の確保を可能とするとともに、さらに設計完成後の改訂作業の効率化を図るものである。すなわち、予め、S E 信号生成回路 2 1 b において複数の段数の遅延素子を含む遅延回路を 2 つ設けておくことにより、設計完成後（すなわち、マスクパターン完成後）に設計変更等により N A N D ゲート 2 5 a に入力する 2 つの信号間の時間差（遅延時間）を変更する場合に、少ない数のマスクパターンを変更するだけで対応が可能となる。すなわち、遅延時間を変更するためには遅延素子の段数を変更すればよく、このためには遅延素子間を接続するアルミ配線に関するマスクパターンを変更するだけで遅延時間を柔軟に変更できるため、自由度の高いタイミング調整が可能となる。

## 【 0 0 3 4 】

図 8 に、入力する内部クロック X に対して立下りタイミングを時間  $t_0$  だけ進めた信号 S E を出力する場合の S E 信号生成回路 2 1 b の各部の信号波形を示す。遅延回路 2 3 a は内部クロック X をその周期 (T) 分遅延させた信号 A を出力する。遅延回路 2 3 b は、信号 A に対して  $t_0$  だけ進めた信号 (または  $(T - t_0)$  だけ遅延させた信号) を出力する。

## 【 0 0 3 5 】

図 9 に、入力する内部クロック X に対して立上りタイミングを時間  $t_0$  だけ遅延させた信号 S E を出力する場合の S E 信号生成回路 2 1 b の各部の信号波形を示す。遅延回路 2 3 a は内部クロック X をその周期 (T) 分遅延させた信号 A を出力する。遅延回路 2 3 b は、信号 A に対して  $t_0$  だけ遅延した信号を出力する。

## 【 0 0 3 6 】

すなわち、入力する内部クロック X に対して立下りタイミングを時間  $t_0$  だけ進めた信号 S E を得たいときは図 8 に示すような信号 A、B が得られるように、入力する内部クロック X に対して立上りタイミングを時間  $t_0$  だけ遅延させた信号 S E を得たいときは図 9 に示すような信号 A、B が得られるように、遅延回路 2 3 a、2 3 b における遅延素子の段数を調整すればよい。

## 【 0 0 3 7 】

以上のように、本実施形態の S E 信号生成回路では、設計完了 (マスクパターン作製完了) 後の改訂作業時において、2 つの遅延回路に含まれる遅延素子の段数を適宜減少させながら調整することで N A N D 回路 2 5 a に入力する信号間の相対的な遅延量を調整できる。このとき、遅延素子間の配線に関するマスクパターンのみを変更するだけで、そのような調整に対応できるため、設計完了 (マスクパターン作製完了) 後における改訂作業の効率化が図れる。

## 【 0 0 3 8 】

## 【発明の効果】

本発明によれば、簡単な構成で、かつ、高速クロックを用いた場合でも十分な初期化期間の確保を可能とし、誤読出しを防止する、センスアンプの活性化信号

の生成回路を提供できる。

【図面の簡単な説明】

【図 1】 実施の形態 1 の S E 信号生成回路の構成図

【図 2】 S E 信号生成回路を利用した半導体メモリの構成を示した図

【図 3】 メモリセルアレイの構造を示した図

【図 4】 図 2 におけるブロック 1 0 部分の構成をより詳細に示した図

【図 5】 (a) S E 信号生成回路に入力する内部クロック X の波形、(b) 遅延回路の出力信号波形、(c) S E 信号生成回路の出力信号波形をそれぞれ示した図

【図 6】 半導体メモリの読出し動作時における各部の信号波形を説明した図。

【図 7】 実施の形態 2 の S E 信号生成回路の構成図

【図 8】 実施の形態 2 の S E 信号生成回路の各部の信号波形（入力する内部クロックに対して立下りタイミングを時間  $t_0$  だけ進めた S E 信号を出力させる場合）を示す図

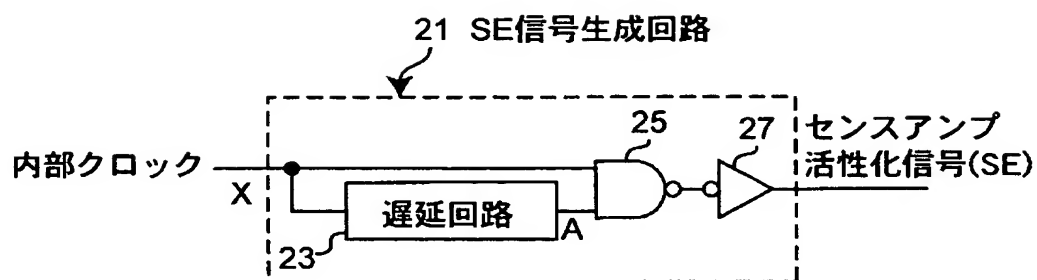
【図 9】 実施の形態 2 の S E 信号生成回路の各部の信号波形（入力する内部クロックに対して立上りタイミングを時間  $t_0$  だけ遅延させた S E 信号を出力させる場合）を示す図

【符号の説明】

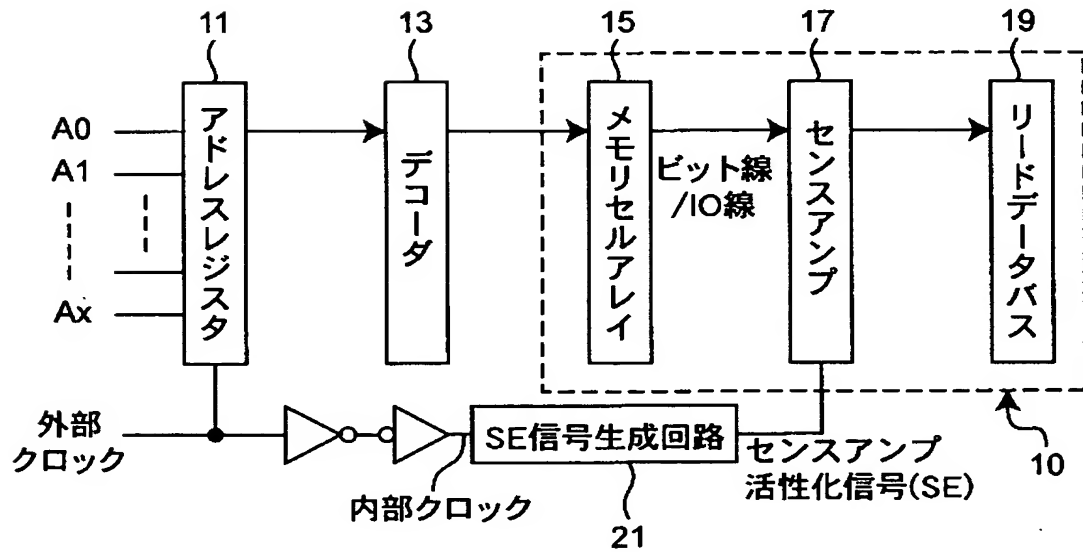
1 7 センスアンプ、 2 1, 2 1 b S E 信号生成回路、 2 3, 2 3 a, 2 3 b 遅延回路、 bit, bit# ビット線、 I 0, I 0# I O 線、 M C メモリセル、 W L 1, W L 2 ワード線。

【書類名】 図面

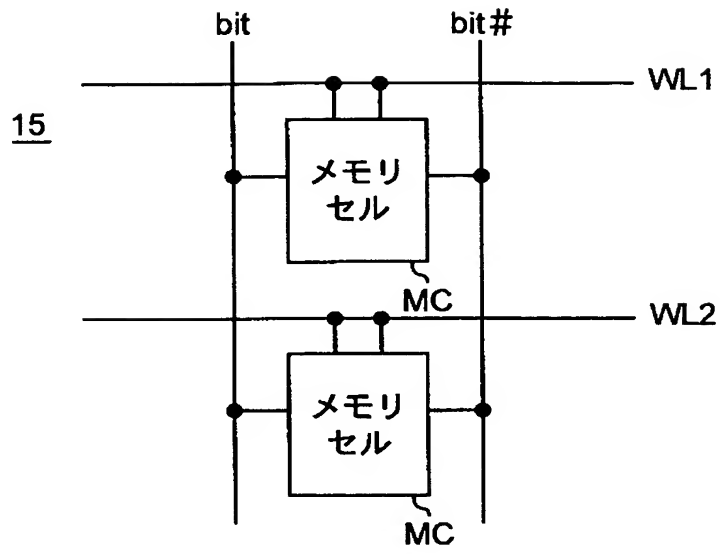
【図 1】



【図 2】

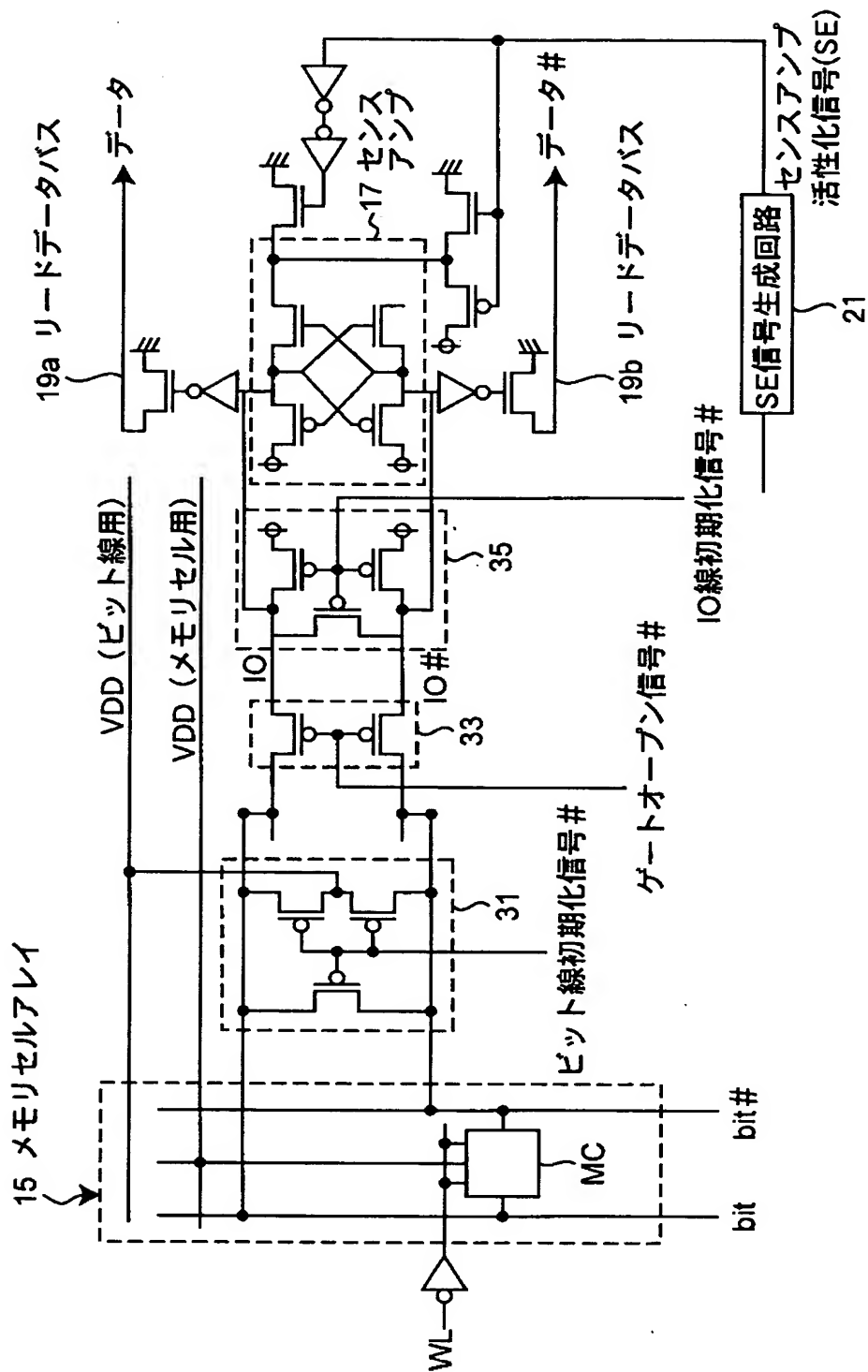


【図 3】

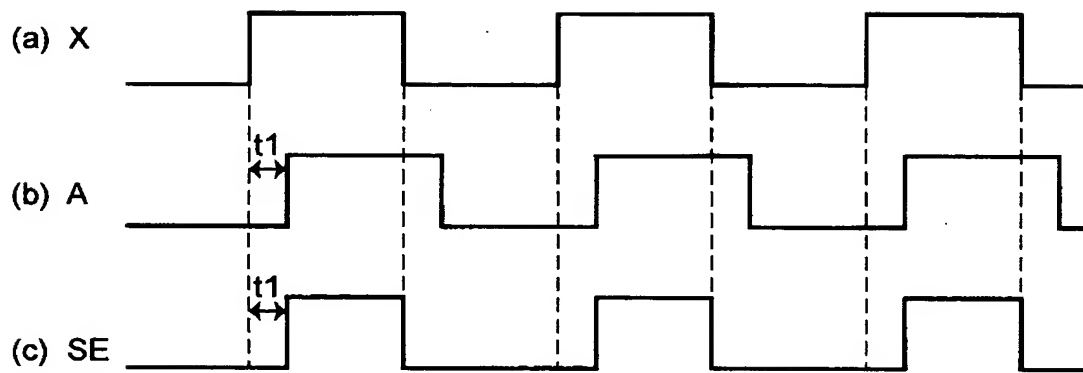




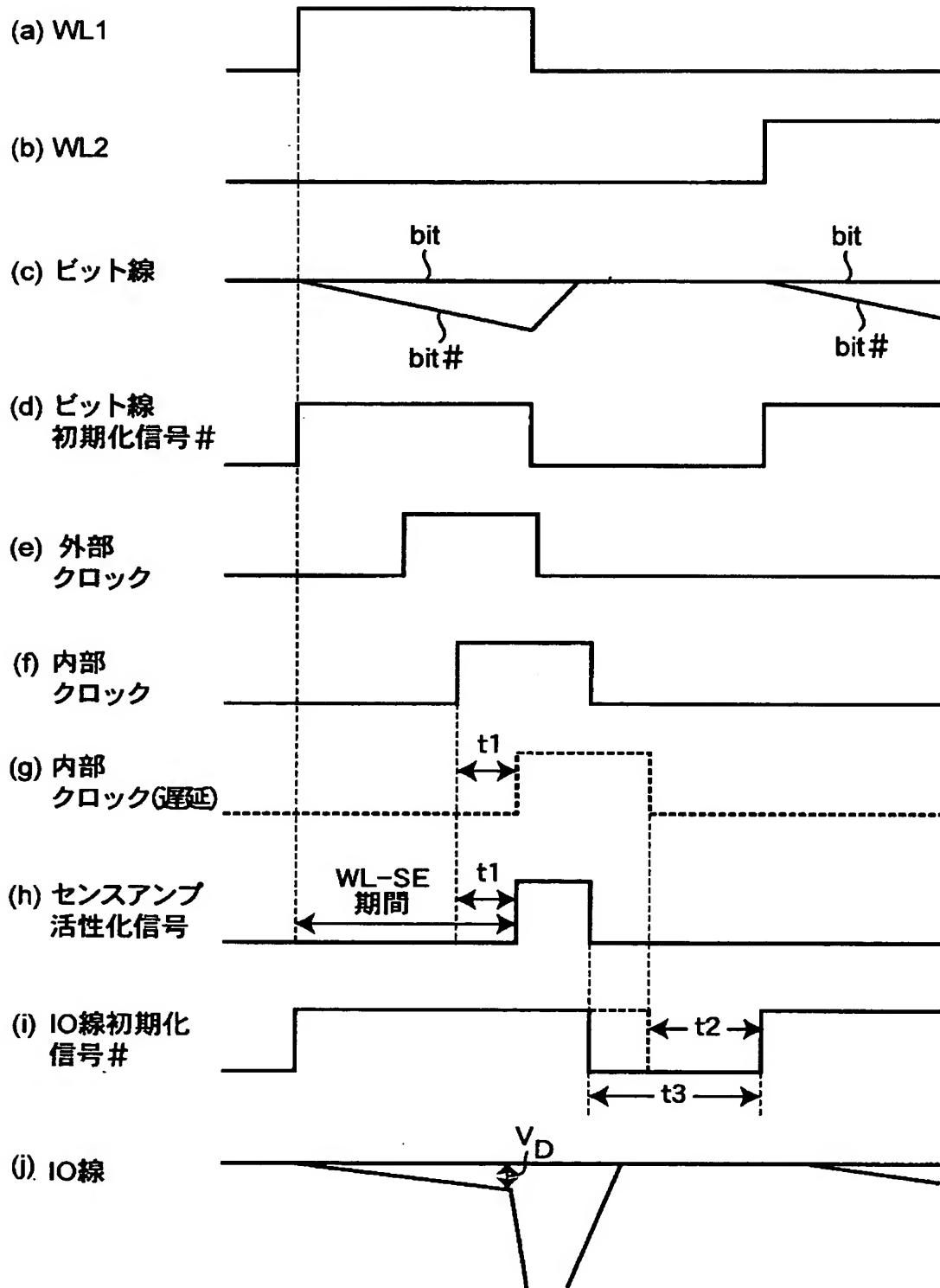
【図4】



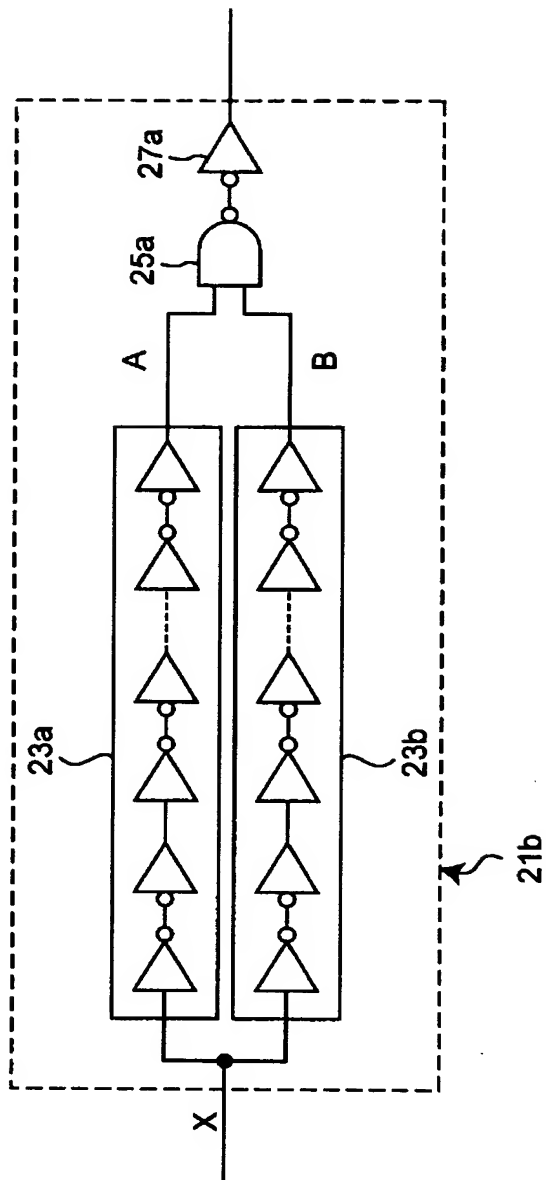
【図 5】



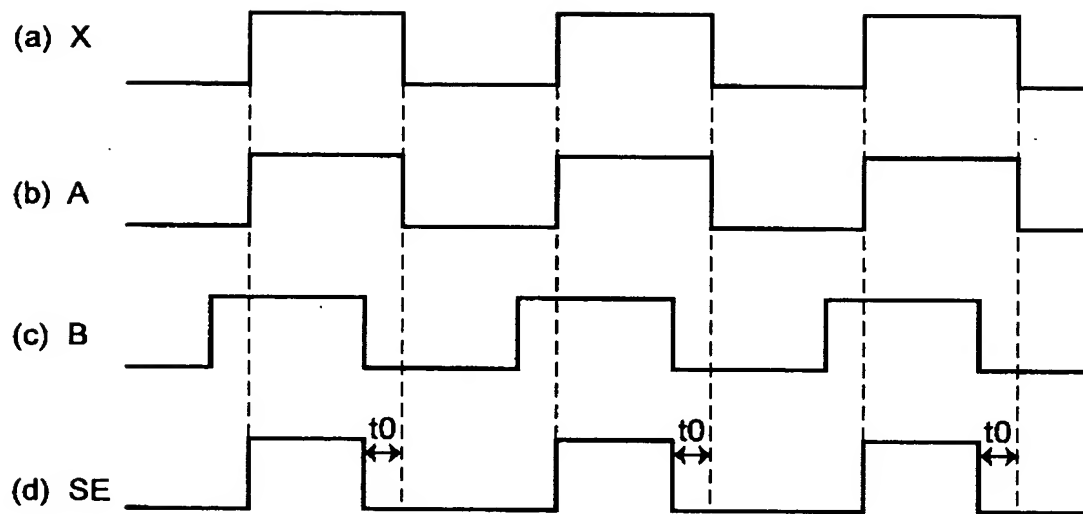
【図 6】



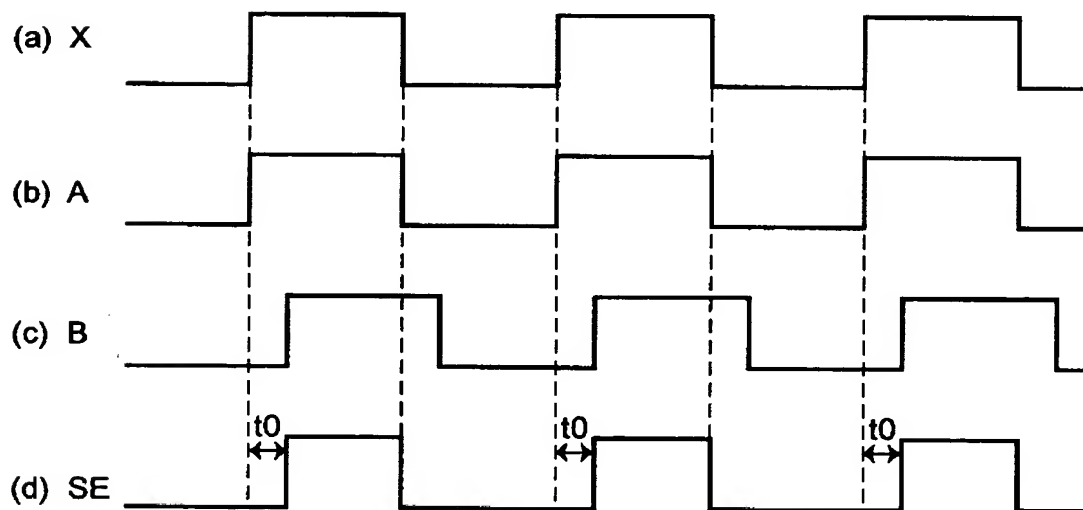
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高速クロックを用いた場合でも十分な初期化期間の確保を可能とし、誤読出しを防止する、センスアンプの活性化信号の生成回路を提供する。

【解決手段】 センスアンプを活性化するセンスアンプ活性化信号（S E 信号）を生成する S E 信号生成回路 2 1 は、外部クロックから生成された内部クロック X を所定時間遅延させる遅延回路 2 3 と、内部クロック X と遅延回路からの出力信号 A とを A N D 演算することにより S E 信号を生成する N A N D ゲート 2 5 及びインバータ 2 7 とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

|          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日     |
| [変更理由]   | 新規登録                    |
| 住 所      | 東京都千代田区丸の内 2 丁目 2 番 3 号 |
| 氏 名      | 三菱電機株式会社                |